

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

GALLIUM NITRIDE COMPOUND SEMICONDUCTOR AND FORMING METHOD OF ELECTRODE THEREOF

Patent Number: JP6232450
Publication date: 1994-08-19
Inventor(s): NAKAMURA SHUJI; others: 01
Applicant(s): NICHIA CHEM IND LTD
Requested Patent: ☐ JP6232450
Application Number: JP19930039359 19930202
Priority Number(s):
IPC Classification: H01L33/00
EC Classification:
Equivalents: JP2836685B2

Abstract

PURPOSE: To improve an emission output of a light-emitting element using a gallium nitride compound semiconductor, to lower also a forward voltage and a forward current and thereby to make the light-emitting element be of practical use.
CONSTITUTION: After an electrode having a width of 20μm or below is deposited on a gallium nitride compound semiconductor doped with a p-type dopant, the gallium nitride compound semiconductor is annealed at a temperature of 400 deg.C or above, so that the electrode be formed.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開 号

特開平6-232450

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.
H01L 33/00

識別記号 庁内整理番号
C 7376-4M
E 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21)出願番号 特願平5-39359

(22)出願日 平成5年(1993)2月2日

(71)出願人 000226057

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(72)発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(72)発明者 妹尾 雅之

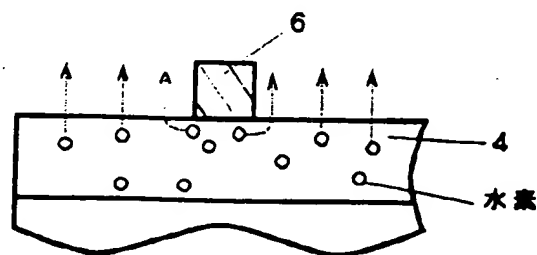
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(54)【発明の名称】 窒化ガリウム系化合物半導体及びその電極形成方法

(57)【要約】

【目的】 窒化ガリウム系化合物半導体を用いた発光素子の発光出力を向上させるとともに、順方向電圧、順方向電流を下げて実用的な発光素子とする。

【構成】 p型ドーパントがドーブされた窒化ガリウム系化合物半導体上に、20 μ m以下の幅を有する電極を付着した後、該窒化ガリウム系化合物半導体を400℃以上でアニーリングすることにより電極を形成する。



R009856

1

【特許請求の範囲】

【請求項1】 p型ドーパントがドーパされた窒化ガリウム系化合物半導体上に、アニーリングによりオーミックコンタクトされるとともに、20 μ m以下の幅を有する電極が形成されていることを特徴とする窒化ガリウム系化合物半導体。

【請求項2】 p型ドーパントがドーパされた窒化ガリウム系化合物半導体上に、20 μ m以下の幅を有する電極を付着した後、該窒化ガリウム系化合物半導体を400℃以上でアニーリングすることを特徴とする窒化ガリウム系化合物半導体の電極形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、主として、青色発光ダイオード、青色発光レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体の細部の構造に係り、特にp型ドーパントがドーパされた窒化ガリウム系化合物半導体と、その電極形成方法に関する。

【0002】

【従来の技術】 青色発光ダイオード(LED)、青色レーザーダイオード等に使用される実用的な半導体発光素子材料として、窒化ガリウム(GaN)、窒化インジウムガリウム(InGa_N)、窒化ガリウムアルミニウム(GaAlN)、窒化インジウムアルミニウムガリウム(InAlGa_N)等の窒化ガリウム系化合物半導体が注目されている。

【0003】 例えばGaNを用いたLED素子の構造について、図1および図2を用いて説明する。図1は従来のLED素子の構造を示す断面図、図2はこの素子を電極側から見た平面図である。この素子は、基本的にサファイアよりなる基板1の上に、AlNよりなるバッファ層2と、n型GaN層3と、p型ドーパントがドーパされた高抵抗なi型GaN層4などが順に積層された構造を有し、n型GaN層3には電極(以下、n型電極という。)5、i型GaN層4には電極(以下p型電極という。)6とが形成されている。そして、これらの電極間に通電することにより、i型GaN層4からの発光を、透光性基板であるサファイア基板1側から観測することができる。特に、図2に示すように、p型電極6をi型GaN層4のほぼ全面に形成することにより、i型GaN層4とp型電極6との接触抵抗を下げ、順方向電圧を下げようとしている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の発光素子は、i型GaN層4の抵抗率が $10^8\Omega\cdot\text{cm}$ 以上と非常に高抵抗であるため、p型電極6を図2に示すようにほぼ全面に形成しても、p型電極6はi型GaN層とオーミックコンタクトしておらず、例えば、順方向電流10mAにおいて、順方向電圧は20~30Vと未だ高く、しかも、発光出力は数 μ Wでしかなく、LEDと

2

して満足のできる特性ではなかった。

【0005】 本発明はこのような事情を鑑み成されたものであり、その目的とするところは窒化ガリウム系化合物半導体を用いた発光素子の発光出力を向上させるとともに、順方向電圧、順方向電流を下げて実用的な発光素子とするものである。

【0006】

【課題を解決するための手段】 我々は上記目的を達成するため、数々の実験を行ったところ、窒化ガリウム系化合物半導体に形成する電極、特にp型ドーパントがドーパされた高抵抗なi型窒化ガリウム系化合物半導体を低抵抗なp型とするとともに、その窒化ガリウム系化合物半導体のp型電極の形成方法を改良することにより、上記問題が解決できることを見だし本発明を成すに至った。即ち、本発明の窒化ガリウム系化合物半導体は、p型ドーパントがドーパされた窒化ガリウム系化合物半導体上に、アニーリングによりオーミックコンタクトされた20 μ m以下の幅を有するp型電極が形成されていることを特徴とする。また、そのp型電極はp型ドーパントがドーパされた窒化ガリウム系化合物半導体上に、20 μ m以下の幅を有する電極を付着した後、該窒化ガリウム系化合物半導体を400℃以上でアニーリングすることにより形成することができる。

【0007】 p型電極は、20 μ m以下の幅を有する電極である必要があり、形状、長さは問うものではない。電流を均一に広げるためには、p型層全面にできるだけ長距離で形成する方が好ましい。例えば、その形状が円であれば直径が20 μ m以下、楕円であれば短径が20 μ m以下であることを必要とし、それらの円、楕円形状の電極をp型層全面に無数に形成することもできる。また、図6に示すように幅20 μ m以下のp型電極6を複数形成して、その上からp型電極6を電気的に接続するために、Au、In、Al、半田等の導電性材料で被覆してもよい。

【0008】 p型不純物をドーパした窒化ガリウム系化合物半導体に電極を付着する方法は、例えば蒸着、スパッタリング、メッキ等の方法を用いることができ、フォトリソ等との適当なマスクを窒化ガリウム系化合物半導体上に形成し、そのマスクを介することにより、幅20 μ m以下とすることができる。電極材料としては、例えばAu、Pt、Ni、Inまたはこれらの合金を使用することができる。

【0009】

【作用】 以下、本発明によるp型電極の作用を図3、および図4を参照して説明する。図3は、本発明によるp型電極6を形成したi型GaN層4の構造を示す部分断面図、図4は、従来法によるp型電極6を形成したi型GaN層4の構造を示す部分断面図である。

【0010】 前にも述べたように、p型ドーパントをドーパしたi型GaN層4は抵抗率が $10^8\Omega\cdot\text{cm}$ 以上もあ

るほぼ絶縁体に近い層である。この高抵抗な i 型 GaN 層を低抵抗な p 型とするため、我々は先に特願平 3-321353 号において、この i 型 GaN 層を 400℃ 以上でアニーリングすることにより、低抵抗な p 型とする技術を提案した。しかも、p 型ドーパントをドーブした i 型 GaN がアニーリングによって低抵抗な p 型となる作用は以下のとおりである。それは、窒化ガリウム系化合物半導体成長時、原料ガスとして NH₃ 等の水素原子を含むガスを使用しており、この水素原子 (H) が窒化ガリウム系化合物半導体中で p 型ドーパント (M) と M-H の状態で結合して、p 型ドーパントを不活性な状態にすることにより、i 型 GaN 層が高抵抗になる。そこで、アニーリングによる熱により、M-H で結合している p 型ドーパントから、H を解離して窒化ガリウム系化合物半導体層中から除去することにより、M を活性化させ、i 型を低抵抗な p 型にすることができるのである。これはアニーリングによる窒化ガリウム系化合物半導体特有の作用である。

[0011] ところで、p-n 接合を有する半導体発光素子の電極を形成する場合、p 型層および n 型層に数々の電極材料を付着した後、電極材料を合金化する目的で、あるいは半導体層と電極材料とのオーミックコンタクトを良好にする目的で、その半導体発光素子を数百度でアニーリングする場合がある。この電極形成時のアニーリングにより、上記作用が特に窒化ガリウム系化合物半導体に現れるのである。即ち、アニーリング時に、p 型ドーパントと結合している水素原子が出ていく工程は、まずアニーリングにより熱的解離が起こり、M-H の結合が解かれる。次に、拡散により解離された水素は、p 型電極 6 のない部分の i 型 GaN 層 4 表面に到達し、外部に放出される。

[0012] ところが、図 4 に示すように、i 型 GaN 層 4 の上に従来のように広い幅の電極を付着すると、アニーリング時に、i 型 GaN 層 4 中で p 型ドーパントと解離した水素が上部の電極に妨げられ、出てこれなくなる。特に、電極下部の水素が出て行かないために、電極の真下の部分の i 型 GaN 層 4 はやはり高抵抗領域のままである。一方、図 3 に示すように、幅 20 μm 以下の電極を付着すると、水素は電極真下の i 型 GaN 層 4 から出ていくことができるようになり、全体が低抵抗な p 型となる。つまり、i 型 GaN 層 4 中に含まれる水素の拡散距離はおおよそ 10 μm 以内であると推定することができる。

[0013] また、図 7 は、サファイア基板上に、Ga N バッファ層と、その上に Mg ドープ i 型 GaN 層とを成長させたウエハーを、アニーリング装置に入れて窒素雰囲気中で 10 分間アニーリングした場合、アニーリング温度と、アニーリング後の i 型 GaN 層の抵抗率との関係を示す図である。この図に示すように 400℃ を超えるあたりから i 型 GaN 層の抵抗率が急激に減少し、

700℃ を超えるとはほぼ一定の値となり、低抵抗な p 型となる。従ってアニーリング温度は 400℃ 以上、さらに好ましくは 700℃ 以上で行う。さらにアニーリング雰囲気は水素を含まない雰囲気中で行うことが好ましい。なぜなら、水素が i 型 GaN 層に再吸蔵されて、高抵抗になる恐れがあるからである。

[0014] 従って、本発明の電極形成方法において、i 型 GaN 層 4 上に、幅 20 μm 以下の電極を蒸着、スパッタ等で付着した後、400℃ 以上でアニーリングすることにより、i 型 GaN 層 4 は全面に低抵抗な p 型となり、同時に p 型電極 6 と p 型に変わった GaN 層 4 とがオーミックコンタクトされて、電流が流れやすくなる。

[0015]

【実施例】 以下、図 5 および図 6 を参照しながら実施例で本発明を詳説する。図 5 は、本発明の一実施例による p 型電極が形成された GaN 層を有するチップを、電極側から見た平面図であり、図 6 は、図 5 の p 型電極 6 の一部拡大断面図である。

[0016] 【実施例 1】 透光性基板である 2 インチ φ のサファイア基板 1 の C 面に、MOCVD 装置を用いて、Ga N バッファ層 2 を 200 オングストロームの膜厚で成長させ、Ga N バッファ層 2 の上に Si をドーブした n 型 GaN 層 3 を 4 μm の膜厚で成長させ、さらに、n 型 GaN 層 3 の上に、Mg をドーブした i 型 GaN 層 4 を成長させる。さらに i 型 GaN 層 4 の上には幅 20 μm でストライプ状の p 型電極 6 を形成し、n 型 GaN 層の上には n 型電極 5 を形成する。以下、n 型電極 5 と p 型電極 6 の形成方法を詳説する。

[0017] ① i 型 GaN 層 4 の上に、フォトリソグラフィ技術により、所定のパターンで保護膜を作成する。

② i 型 GaN 層 4 の一部を n 型 GaN 層 3 が露出するまでエッチングする。

③ エッチング終了後、保護膜を剥離し、フォトレジストで図 5 に示すようにストライプ状の p 型電極パターン、平面状の n 型電極パターンを作成する。

④ n 型 GaN 層 3 には Al を蒸着し、p 型 GaN 層 4 には Au/Ni を蒸着して、それぞれ n 型電極 5、p 型電極 6 を形成する。なお、p 型電極は幅 20 μm のストライプを 10 μm 間隔で形成し、16 本のストライプを形成する。両電極形成後、窒素雰囲気中、700℃ でウエハーを 10 分間アニーリングする。

⑤ アニーリング後、p 型電極 5 を電気的に接続するために、図 6 に示すように、p 型電極 5 の上に Au、In、Al 等の導電性材料 7 を蒸着する。

[0018] 以上のようにして電極 5、6 を形成した後、ウエハーを 1 × 0.8 mm 角のチップ状にカットして、発光ダイオードとして発光させると、順方向電流 20 mA において、順方向電圧 4 V、ピーク波長 430 nm

5

mの発光を示し、発光出力は60 μ Wであった。

【0019】【実施例2】p型電極6の幅15 μ m、ストライプ間隔15 μ m、本数16にする他は、実施例1と同様にしてウエハーを加工し、発光ダイオードとしたところ、同じく順方向電流20mA、順方向電圧4V、発光出力60 μ Wと実施例1と同等であった。

【0020】【比較例1】p型電極6の幅を25 μ m、ストライプ間隔5 μ m、本数16にする他は、実施例1と同様にしてウエハーを加工し、発光ダイオードとしたところ、同じく順方向電流20mAにおいて、順方向電圧5V、発光出力30 μ Wでしかなかった。

【0021】【比較例2】p型電極6の幅を30 μ m、ストライプ間隔10 μ m、本数12にする他は、実施例1と同様にしてウエハーを加工し、発光ダイオードとしたところ、同じく順方向電流20mAにおいて、順方向電圧7V、発光出力10 μ Wでしかなかった。

【0022】【比較例3】p型電極6の幅を50 μ m、ストライプ間隔10 μ m、本数8にする他は、実施例1と同様にしてウエハーを加工し、発光ダイオードとしたところ、同じく順方向電流20mAにおいて、順方向電圧10V、発光出力5 μ Wでしかなかった。

【0023】

【発明の効果】以上説明したように、20 μ m以下の幅を有するp型電極を形成した窒化ガリウム系化合物半導体は、アニーリングによりi型窒化ガリウム系化合物半導体層全体が全て低抵抗なp型となっているため、発光素子とした場合に、その発光特性は、ほぼ同等な優れた特性を示す。一方、その幅が20 μ mよりも大きいp型

6

電極を形成した場合には、電極の下部で高抵抗な層が残留するため、発光特性が不十分となる。しかも電極幅が大きいほどその特性は悪くなる傾向にある。

【0024】したがって本発明の電極形成方法を用いることにより、電極も含めた優れたp型窒化ガリウム系化合物半導体を実現することができ、その産業上の利用価値は大きい。

【図面の簡単な説明】

【図1】従来のLED素子の一構造を示す模式断面図。

【図2】図1の素子を電極側から見た平面図。

【図3】本発明の一実施例によるp型電極を形成したi型GaN層の構造を示す部分断面図。

【図4】従来法によるp型電極を形成したi型GaN層の構造を示す部分断面図。

【図5】本発明の一実施例によるp型電極が形成されたGaN層を有するチップを電極側から見た平面図。

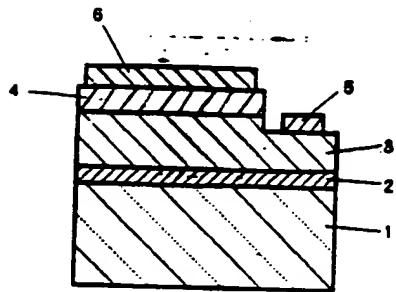
【図6】図5の電極6の一部を拡大した断面図。

【図7】アニーリング温度と、アニーリング後のi型GaN層の抵抗率との関係を示す図。

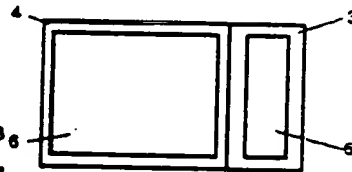
【符号の説明】

| | |
|--------------|--------------|
| 1.....基板 | 2.....パッド層 |
| 3.....n型GaN層 | 4.....i型GaN層 |
| 5.....n型電極 | 6.....p型電極 |
| 7.....導電性材料 | |

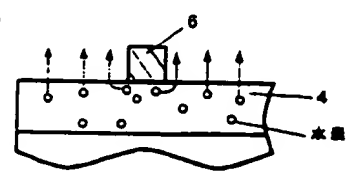
【図1】



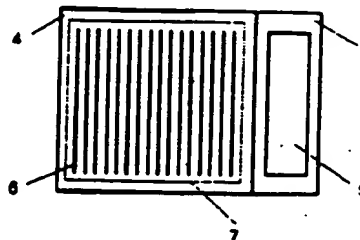
【図2】



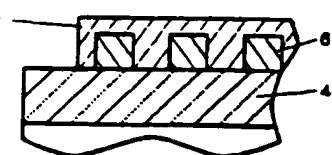
【図3】



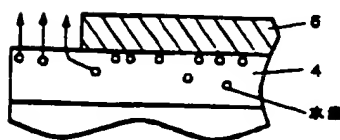
【図5】



【図6】



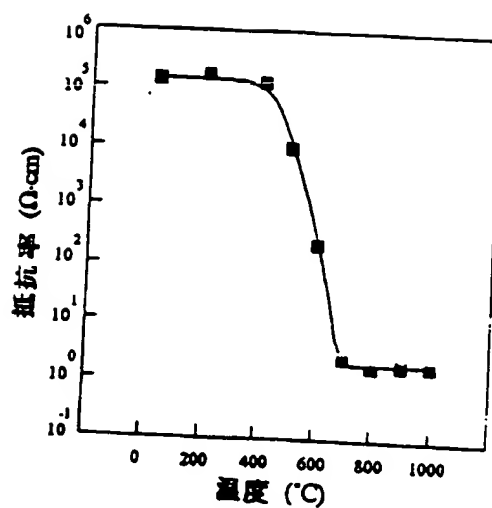
【図4】



(5)

特開平6-232450

(図7)



R009860